

**This Page Is Inserted by IFW Operations  
and is not a part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2002110898 A**

(43) Date of publication of application: **12.04.02**

(51) Int. Cl.

**H01L 25/065**

**H01L 25/07**

**H01L 25/18**

**H01L 21/60**

(21) Application number: **2000296328**

(22) Date of filing: **28.09.00**

(71) Applicant: **OKI ELECTRIC IND CO LTD**

(72) Inventor: **KOMIYAMA MITSURU  
SUZUKI SHINSUKE**

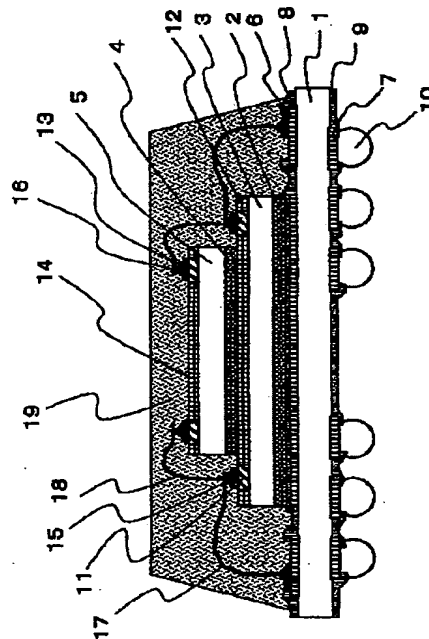
(54) **SEMICONDUCTOR DEVICE**

(57) Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device which can suppress contacting between adjacent conductive wires and has laminated semiconductor elements.

**SOLUTION:** The semiconductor device includes a substrate which has a wiring pattern formed on the top surface, a 1st semiconductor element which is mounted on the substrate and has a 1st electrode pad, a 2nd semiconductor element which is mounted on the 1st semiconductor element and has a 2nd electrode pad, a 1st wire which connects a 1st area of the 1st electrode pad and the 2nd electrode pad, and a 2nd wire which connects a 2nd area except the 1st area of the 1st electrode pad to the wiring pattern in the 2nd area.

COPYRIGHT: (C)2002,JPO



P-2179

(10) 日本国特許庁 (J P) (12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2002-110898  
(P2002-110898A)  
(43) 公開日 平成14年4月12日 (2002.4.12)

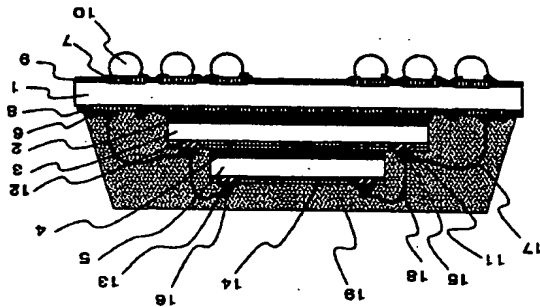
(S) Int. Cl.	発明の要旨	PI	特許請求の範囲
H01L 25/065		H01L 21/60	テラトド (参考)
25/07		301D 5F044	
25/18		301A	
21/60	301	301N	
		Z	

特許請求の範囲 請求項 13 OL (全 7 頁) 最終頁に続く

(21) 出願番号	特開2000-286328 (P2000-286328)	(71) 出願人	00000295 沖電気工業株式会社
(22) 出願日	平成12年9月28日 (2000.9.28)	(72) 発明者	小西山 英 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
		(72) 発明者	鈴木 臣介 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
		(74) 代理人	100089083 弁理士 大西 健治 Fターム (参考) 5F044 A02 A12 A18 Q05 E01 E011

(54) 発明の名称 半導体装置

(57) 要約  
【目的】 本発明では、隣り合う導電ワイヤの接触を抑えることのできる、保護された半導体素子を有する半導体装置を提供することを目的とする。  
【構成】 本発明の半導体装置は、表面に配線パターンが形成された基板と、基板の上に搭載された、第1の電極パッドを備えた第1の半導体素子と、第1の半導体素子上に搭載された、第2の電極パッドを備えた第2の半導体素子と、第1の電極パッドの第1の領域と第2の電極パッドとを接続する第1のワイヤと、第1の電極パッドの第1の領域を除く第2の領域と配線パターンとを接続する第2のワイヤと、を含む。



体素子、内部電極、ワイヤは封止樹脂で封止されている。

【0004】  
【発明が解決しようとする課題】しかしながら、従来のスタック型マルチチップパッケージにおいては、上段の半導体素子と内部電極とが第1の導電ワイヤで接続され、また、下段の半導体素子と内部電極とが第2の導電ワイヤでそれぞれ接続されているため第1の導電ワイヤが第2の導電ワイヤよりも長くなる。

【0005】このため、樹脂を注入する際の圧力により、長い側の第1の導電ワイヤが流され、隣り合うワイヤと短絡してしまうという問題点があった。

【0006】本発明では、隣り合う導電ワイヤの接続を抑制することのできる、積層された半導体素子を有する半導体装置を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明のうちの代表的な半導体装置では、上記課題を解決するために、表面に配線パターンが形成された基板と、基板上に搭載された、第1の電極パッドを備えた第1の半導体素子と、第1の半導体素子上に搭載された、第2の電極パッドを備えた第2の半導体素子と、第1の電極パッドの領域と第2の電極パッドとを接続する第1のワイヤと、第1の電極パッドの第1の領域を除く第2の領域と配線パターンとを接続する第2のワイヤと、を含む。

【0008】  
【発明の実施の形態】図1および図2は本発明の第1の実施形態の断面図である。

【0009】絶縁基板1上には接点部2により下段の半導体素子3が固定されており、下段の半導体素子3上には接点部4により上段の半導体素子5が固定されている。半導体素子3は、あらかじめ表面に絶縁性の接点部が形成された半導体素子3を熱圧着にて絶縁基板1の表面にダイスボンディングすることにより絶縁基板1上に固定することができる。半導体素子3の表面への接点部2の貼り付けは、ウェハ状態で行われ、接点部2の貼り付けられたウェハを個々の半導体素子3に分割すること、表面に接点部2の貼り付けられた半導体素子3が得られる。なお、半導体素子5を下段の半導体素子3上に固定する場合も同様の手法を用いることが可能である。

【0010】絶縁基板1の表面には内部電極としての導電パターン6が、表面には導電パターン7がそれぞれ形成されている。導電パターン6は絶縁基板1の表面を、半導体素子3が搭載される領域まで引き回されている。導電パターン6と導電パターン7とは、絶縁基板1内に形成された図示しないスルーホールを介して互いに接続されている。スルーホール内には例えば金などの導電材料がメッキ等により形成されており、この導電材料により導電パターン6と導電パターン7とは電気的に接続さ

れている。

【0011】導電パターン6を絶縁基板1の表面に引き直し、その一端を導電材料に接続することにより、絶縁基板1の表面の中央部分に配置される導電パターン7と電気的に接続することが可能となる。絶縁基板1表面で導電パターン6を引き回すことができない場合は、絶縁基板1の表面で導電パターン7を引き回すことも可能である。

【0012】絶縁基板1上に形成されている導電パターン6および導電パターン7はそれぞれソルダレジスト8およびソルダレジスト9で覆われている。

【0013】ソルダレジスト9から露出している導電パターン7上には外部電極としての金風パンプ10が形成されている。金風パンプ10としては、例えばはんだボールを用いられる。この金風パンプ10は、この半導体装置を実装基板上に実装する際の電極として用いられる。

【0014】半導体素子3の表面には電極パッド11が形成されている。半導体素子3の表面は、例えばシリコン酸化膜などのパッシベーション膜12で覆われており、電極パッド11はパッシベーション膜12から露出している。図示はされていないが、通常は電極パッド11の周囲にパッシベーション膜12に覆われており、ワイヤがボンディングされる中央部分がパッシベーション膜12から露出している。

【0015】半導体素子5においても、半導体素子3と同様に電極パッド13およびパッシベーション膜14が形成されている。

【0016】半導体素子5は、半導体素子3よりも小さい外形形状を有しており、半導体素子3の電極パッド11と重ならないように半導体素子3上に固定されている。すなわち、半導体素子5の各辺は、それぞれ半導体素子3の各辺より短く、それぞれ半導体素子3の各辺よりも内側に配置される。

【0017】半導体素子3の電極パッド11上には金風パンプ15が形成されている。この金風パンプ15は、通常のワイヤボンディング技術を用い、ワイヤの先端のボール部分のみを残すことにより形成される。

【0018】半導体素子5の電極パッド13上にも同様に金風パンプ16が形成されている。

【0019】絶縁基板1上の導電パターン6と半導体素子3の電極パターン11とは、導電ワイヤ17により電気的に接続されている。導電ワイヤ17は、ワイヤボンディングの開始点であるファーストボンディングパターン6に接続するボールボンディングにより行われ、終了点であるセカンドボンディングパターン15上に接続される。

【0020】半導体素子3の電極パッド11と半導体素子5の電極パッド13とは、導電ワイヤ18により電気的に接続されている。導電ワイヤ18は、ファーストボンディングパターン6と導電パターン7とは電気的に接続さ

より行われ、セカンドボンディングパターン16上に接続される。

【0021】導電ワイヤ17のセカンドボンディングパターン18のファーストボンディングは、電極パッド11における異なる領域において行われている。

【0022】これら半導体素子3、半導体素子5、導電ワイヤ17、導電ワイヤ18は、封止樹脂19により封止されている。

【0023】図2は図1の絶縁基板1、半導体素子3、半導体素子5のコーナー部を拡大した部分拡大図であり、半導体素子3の電極パッド11における導電ワイヤ17および導電ワイヤ18の接続がこの図2に示される。

【0024】半導体素子3の電極パッド11は、同一の電極パッド内で2箇所に導電ワイヤを接続するために、通常の電極パッドよりも大きく形成されている。電極パッド11は、本実施例では、電極パッド11は半導体素子3の辺に沿って長い矩形形状を有している。電極パッド11は、半導体素子3の辺に沿って長い矩形形状を有している。その方向に長い矩形形状とすることが可能である。その場合は、下段の半導体素子3と上段の半導体素子5とを接続する導電ワイヤ18が半導体素子3の辺に沿って長い矩形形状を有している。図示はされていないが、通常は電極パッド11の周囲にパッシベーション膜12に覆われており、ワイヤがボンディングされる中央部分がパッシベーション膜12から露出している。

【0025】また、導電ワイヤ17および導電ワイヤ18を互いに隣接させて電極パッド11上に接続できる程度に電極パッド11を大きく形成してもよく、その場合は、導電ワイヤを形成する角度の自由度が向上する。

【0026】本実施例では、上段の半導体素子3の電極パッド13を絶縁基板1の導電パターン6に直接接続せず、下段の半導体素子5の電極パッド11を介して導電パターン6に電気的に接続される。このため、電極パッド13と導電パターン6とを直接接続する長い導電ワイヤを用いる必要がなくなり、隣り合う導電ワイヤ間の短絡を抑制することができ。

【0027】また、本実施例では、下段の半導体素子5の電極パッド11を大きく形成し、上段の半導体素子5と下段の半導体素子3とを接続する導電ワイヤ18と、下段の半導体素子3と絶縁基板1とを接続する導電ワイヤ17とを、同一の電極パッド11における異なる領域でそれぞれ接続している。このため、電極パッド11におけるワイヤボンディングの際のストレスを低減すること

とができる。

【0028】電極パッド11の周囲は図示しないパッシベーション膜に覆われており、導電ワイヤ17、導電ワイヤ18がボンディングされる領域はパッシベーション膜が除去されている。本実施の形態では、矩形形状の電極パッド11上で導電ワイヤ17および導電ワイヤ18による2箇所のボンディングが行われる。このため、パッシベーション膜が除去され、導電ワイヤがボンディングされる領域が電極パッド11と隣接する矩形形状となる。しかしながら、電極パッド11上でそれぞれの導電ワイヤの周囲に覆われている場合は、電極パッド11上のパッシベーション膜に、それぞれの導電ワイヤに対する2ヶ所の開口部を形成することも可能である。

【0029】図3は、本発明の第2の実施形態を示す図であり、図1および図2と同一構成要素には同一の符号が付けられている。

【0030】第2の実施形態では、第1の実施形態とは導電ワイヤの接続形態が異なっており、その他の構成は第1の実施形態と同じである。

【0031】図3において、下段の半導体素子3の電極パッド11上には金風パンプ21が形成されている。金風パンプ21は、第1の実施形態における金風パンプ15、16と同様の方法で形成される。

【0032】下段の半導体素子3の電極パッド11と絶縁基板1の導電パターン6とを接続する導電ワイヤ22は、ファーストボンディングが電極パッド11で、セカンドボンディングが導電パターン6でそれぞれ行われている。

【0033】上段の半導体素子5の電極パッド13と下段の半導体素子3の電極パッド11とを接続する導電ワイヤ23は、ファーストボンディングが上段の半導体素子5の電極パッド13で、セカンドボンディングが下段の半導体素子3の電極パッド11上に形成された金風パンプ21上でそれぞれ行われる。

【0034】本実施形態においては、上段の半導体素子5の電極パッド13にファーストボンディングを行っており、上段の半導体素子5の電極パッド13上に金風パンプを形成する必要がないため、金風パンプを形成する工程を削減できる。

【0035】図4および図5は、本発明の第3の実施形態を説明する図であり、図4は断面図、図5は部分的に拡大した斜視図である。

【0036】本実施形態において、図1および図2と同一の構成要素には同一の符号が付けられている。

【0037】本実施形態では、下段の半導体素子3の電極パッド13上に金風パンプ32が形成されており、下段の半導体素子3の電極パッド13と絶縁基板1の導電パターン6とを接続する導電ワイヤ33は、ファーストボンディングが導電パターン6で、セカンドボンディングが金風パンプ32でそれぞれ行われている。

【0038】上段の半導体素子5の電極パッド34には

(5)

金属バンプ35が形成されており、上段の半導体素子5の電極パッド34と下段の半導体素子3の電極パッド31とは、ファーストボンドが導電ワイヤ33上で行われ、セカンドボンドが金属バンプ35上で行われた導電ワイヤ36により接続される。

【0039】第3の実施形態においては、第1の半導体素子3の電極パッド31上において、同一箇所に導電ワイヤ33のセカンドボンドと導電ワイヤ36のファーストボンドとが重ねて行われるため、電極パッド31の面積を大きくせずに上段の半導体素子5、下段の半導体素子3、絶縁基板1を接続することができる。

【0040】また、下段の半導体素子3側でファーストボンドを、上段の半導体素子5側でセカンドボンドを行って導電ワイヤ36が形成されるため、半導体素子5上における導電ワイヤ36のループが低くなる。このため、上段の半導体素子5上の封止樹脂19を覆くことができ、パッケージ全体としての薄型化を達成することができ、

【0041】次に、図6を用いて本発明の第4の実施形態を説明する。

【0042】図6において、図1および図2と同一の構成要件には同一の符号が付けられている。

【0043】第4の実施形態では、下段の半導体素子3の電極パッド41上に金属バンプ42が形成されている。

【0044】絶縁基板1と下段の半導体素子3とを接続する導電ワイヤ43は、ファーストボンドが導電パターン6で、セカンドボンドが金属バンプ42で行われている。

【0045】下段の半導体素子3と上段の半導体素子5とを接続する導電ワイヤ46は、ファーストボンドが半導体素子5の電極パッド44で、セカンドボンドが導電ワイヤ43の接続された金属バンプ42上で行われている。

【0046】本実施形態では、下段の半導体素子の電極パッドに形成された金属バンプ上で導電ワイヤ43および導電ワイヤ46の両方のセカンドボンドが行われている。

【0047】このため、本実施形態では、上段の半導体素子の電極パッドに金属バンプを形成することなく上段の半導体素子と下段の半導体素子、そして、下段の半導体素子と絶縁基板とを接続することが可能となる。このため、金属バンプを形成する工程を削減することができる。

【0048】本発明においては、絶縁基板上に半導体素子を積層する実施例について説明したが、これに限らず、一般に用いられるリードフレームを用いることも可

能である。リードフレームを用いる場合は、本発明における導電パターン6としてインナーリードが用いられ、下段の半導体素子はダイパッドに固定される。

【発明の効果】本発明に係る半導体装置では、下段の半導体素子の電極パッドを大きくし、絶縁基板と下段の半導体素子とを接続する導電ワイヤと、下段の半導体素子と上段の半導体素子とを接続する導電ワイヤとを、同一のパッドの異なる領域に形成している。このため、下段の半導体素子の電極パッドにおける導電ワイヤの接続を確実に行うことができるとともに、ワイヤボンディングにより電極パッド下部に与えられるストレスを低減することが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態における半導体装置の断面図である。

【図2】本発明の第1の実施形態における半導体装置の部分拡大斜視図である。

【図3】本発明の第2の実施形態における半導体装置の部分拡大斜視図である。

【図4】本発明の第3の実施形態における半導体装置の部分拡大斜視図である。

【図5】本発明の第3の実施形態における半導体装置の部分拡大斜視図である。

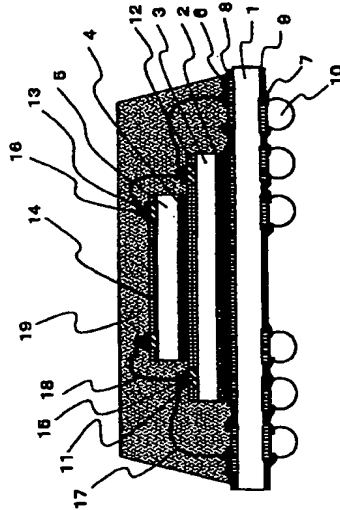
【図6】本発明の第4の実施形態における半導体装置の部分拡大斜視図である。

【符号の説明】

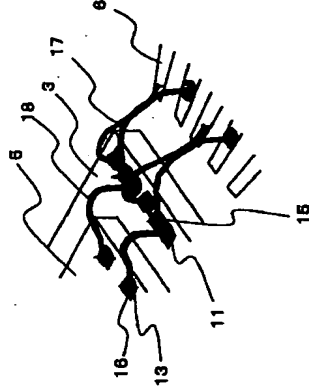
- 1 絶縁基板
- 2 接合剤
- 3 半導体素子
- 4 接合剤
- 5 半導体素子
- 6 導電パターン
- 7 導電パターン
- 8 ソルダレジスト
- 9 ソルダレジスト
- 10 金属バンプ
- 11 電極パッド
- 12 パッシベーション膜
- 13 電極パッド
- 14 パッシベーション膜
- 15 金属バンプ
- 16 金属バンプ
- 17 導電ワイヤ
- 18 導電ワイヤ
- 19 封止樹脂

(6)

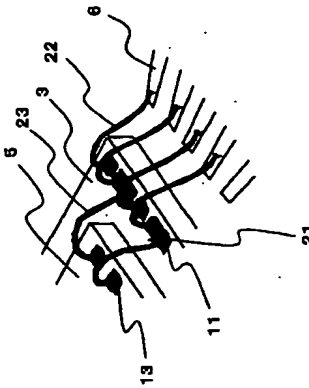
【図1】



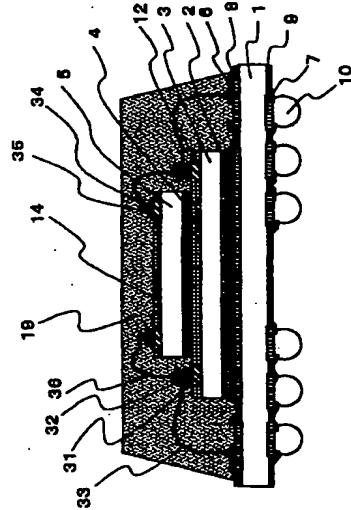
【図2】



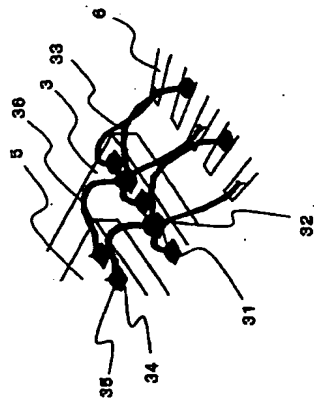
【図3】



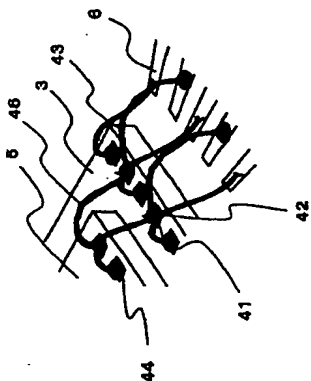
【図4】



【図5】



【図6】



フロントページの続き

(51) Int. Cl.<sup>7</sup>  
H01L 21/60

識別記号  
301

F I

特許庁 (参考)